

Sistemas Digitales

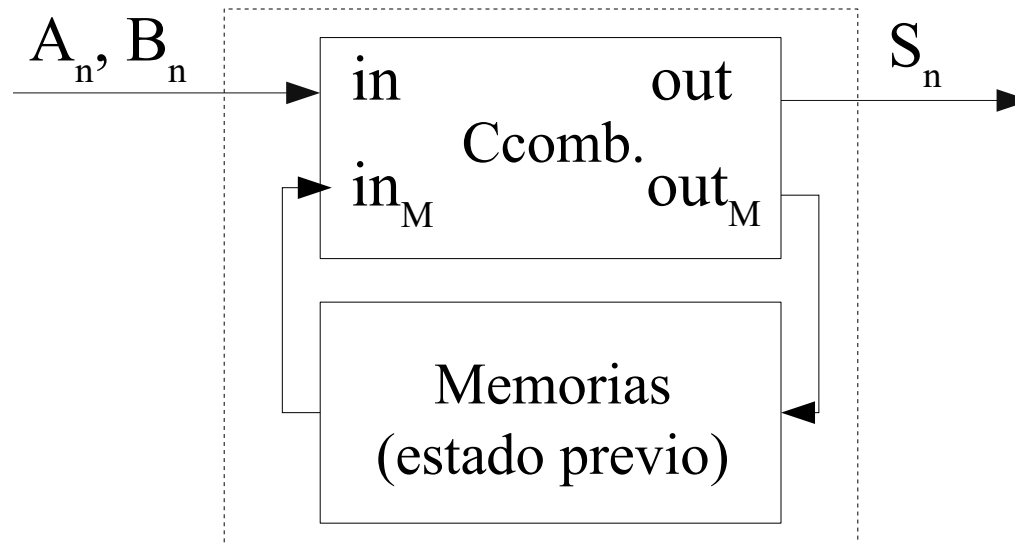
Circuitos Secuenciales

Diseño de circuitos secuenciales

Procesamiento Digital de Señales

Circuitos secuenciales

- Implementan funciones lógicas con memoria
- Las salidas están determinadas por el valor de sus entradas y el valor anterior de la salida
- Elaborados en partir de compuertas lógicas y compuertas **Flip-Flop**



Diseño

Tipos de diseño

- Modo reloj:
 - Los cambios son síncronos por flanco
 - Se utilizan FF-D para realizar los cambios de forma síncrona
- Modo nivel:
 - Los cambios son asíncronos
 - Sin compuertas FF
 - Compuertas lógicas realimentados

Diseño – Modo reloj

Receta de cocina sugerida

- 1) Identificación del problema
- 2) Diagrama de estados
- 3) Tabla de estados
- 4) Minimización de estados
- 5) Codificación y tabla de verdad
- 6) Diseño del circuito de forma mínima

Diseño – Modo reloj

Ejemplo: Codificador EOG - Autito

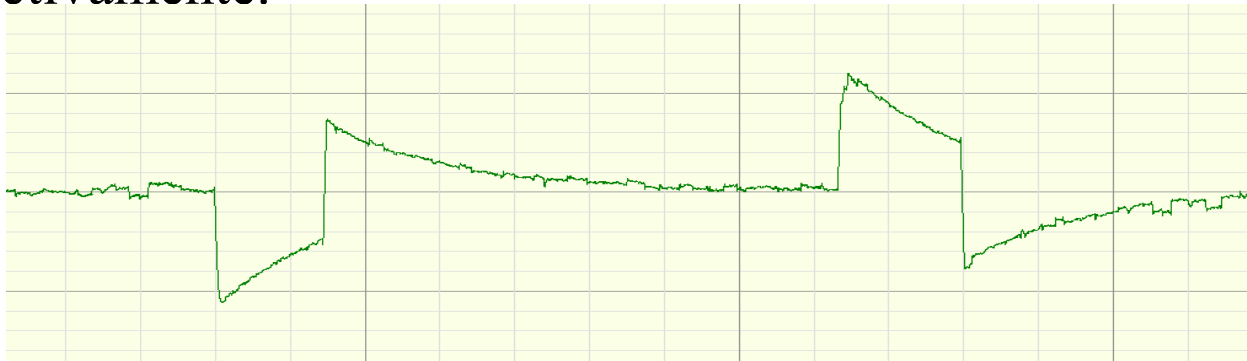
Diseñe un circuito secuencial modo reloj que sea capaz de controlar un autito a control remoto basado en señales de Electrooculograma (EOG).

Diseño – Modo reloj

Ejemplo: Codificador EOG - Autito

Diseñe un circuito secuencial modo reloj que sea capaz de controlar un autito a control remoto basado en señales de Electrooculograma (EOG).

Para ello se cuenta con un bloque detector de umbrales cuyas salidas digitales R y L que se activan cuando la señal de EOG se aleja de la línea basal hacia la derecha o izquierda respectivamente.

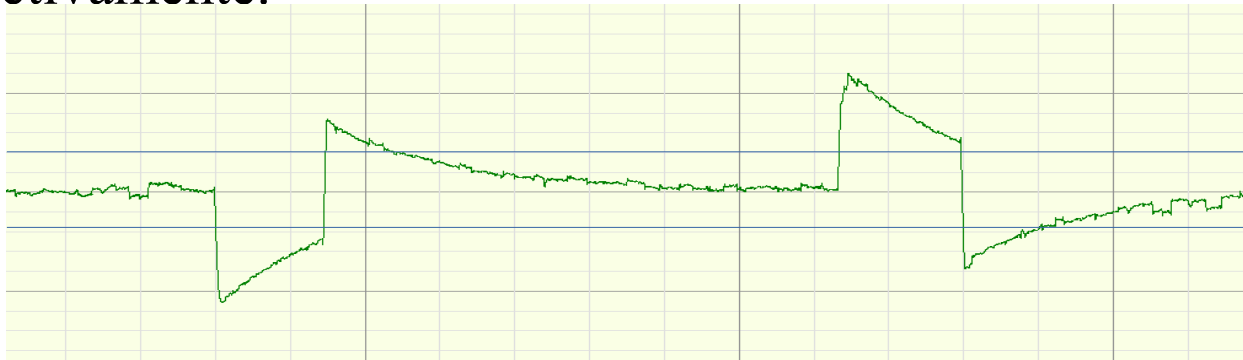


Diseño – Modo reloj

Ejemplo: Codificador EOG - Autito

Diseñe un circuito secuencial modo reloj que sea capaz de controlar un autito a control remoto basado en señales de Electrooculograma (EOG).

Para ello se cuenta con un bloque detector de umbrales cuyas salidas digitales R y L que se activan cuando la señal de EOG se aleja de la línea basal hacia la derecha o izquierda respectivamente.

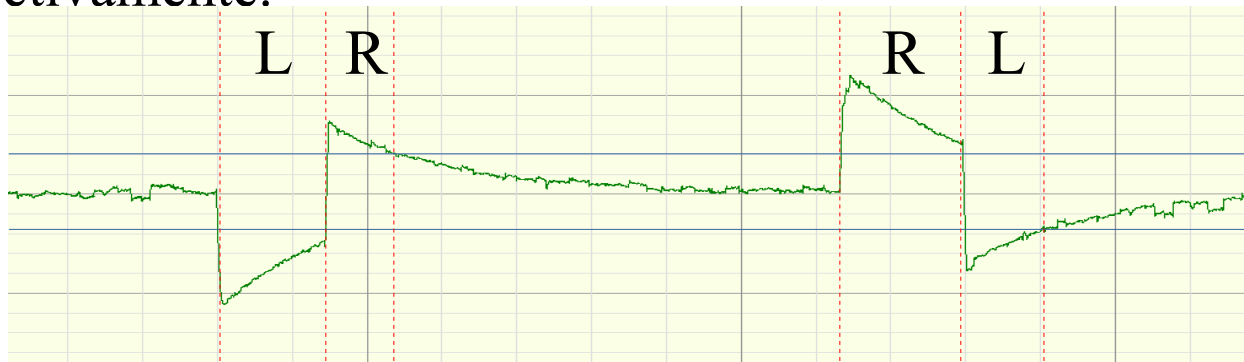


Diseño – Modo reloj

Ejemplo: Codificador EOG - Autito

Diseñe un circuito secuencial modo reloj que sea capaz de controlar un autito a control remoto basado en señales de Electrooculograma (EOG).

Para ello se cuenta con un bloque detector de umbrales cuyas salidas digitales R y L que se activan cuando la señal de EOG se aleja de la línea basal hacia la derecha o izquierda respectivamente.



Diseño – Modo reloj

Ejemplo: Codificador EOG - Autito

Diseñe un circuito secuencial modo reloj que sea capaz de controlar un autito a control remoto basado en señales de Electrooculograma (EOG).

Para ello se cuenta con un bloque detector de umbrales cuyas salidas digitales R y L que se activan cuando la señal de EOG se aleja de la línea basal hacia la derecha o izquierda respectivamente.

Restricciones:

- Las salidas deben de activarse en el siguiente flanco de CLK y bajar inmediatamente que se deja de mirar hacia el costado

Suposiciones:

- El tiempo de bajada es menor a un periodo de CLK

Diseño – Modo reloj

Receta de cocina sugerida

- 1) Identificación del problema**
- 2) Diagrama de estados
- 3) Tabla de estados
- 4) Minimización de estados
- 5) Codificación y tabla de verdad
- 6) Diseño del circuito de forma mínima

Diseño – Modo reloj

1) Identificación del problema

- Entradas: R,L
- Salidas: FF (adelante), RW (atrás)

No olvidarse de:

Restricciones:

- Las salidas deben de activarse en el siguiente flanco de CLK y bajar inmediatamente que se deja de mirar hacia el costado

Suposiciones:

- El tiempo de bajada es menor a un periodo de CLK

Diseño – Modo reloj

Receta de cocina sugerida

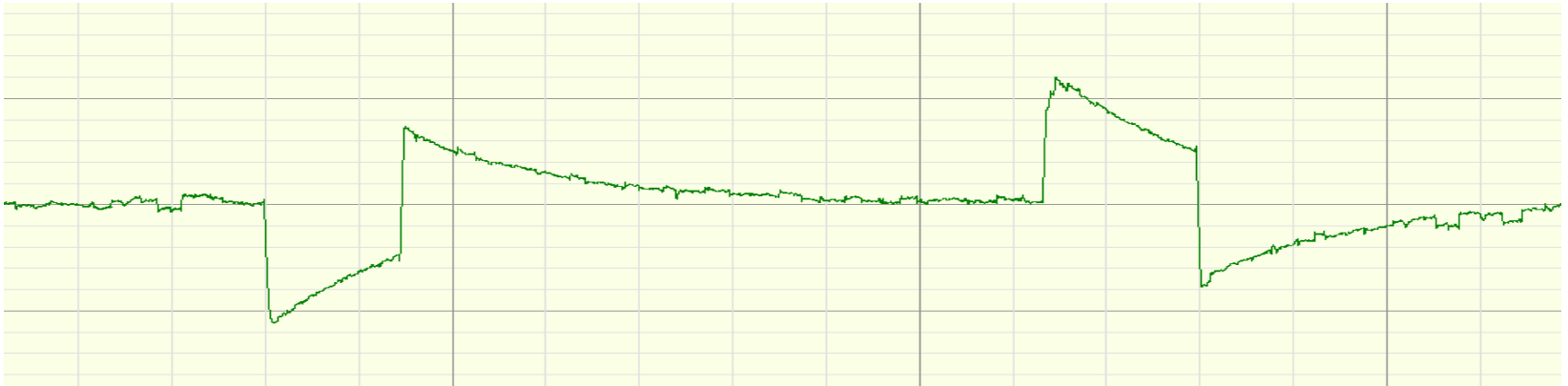
- 1) Identificación del problema
- 2) Diagrama de estados**
- 3) Tabla de estados
- 4) Minimización de estados
- 5) Codificación y tabla de verdad
- 6) Diseño del circuito de forma mínima

Diseño – Modo reloj

2) Diagrama de estados

Nomeclatura:

- entradas/salidas \rightarrow R,L/FF,RW
- Estados: q_0
- Transiciones (efectuadas en el siguiente flanco): \longrightarrow



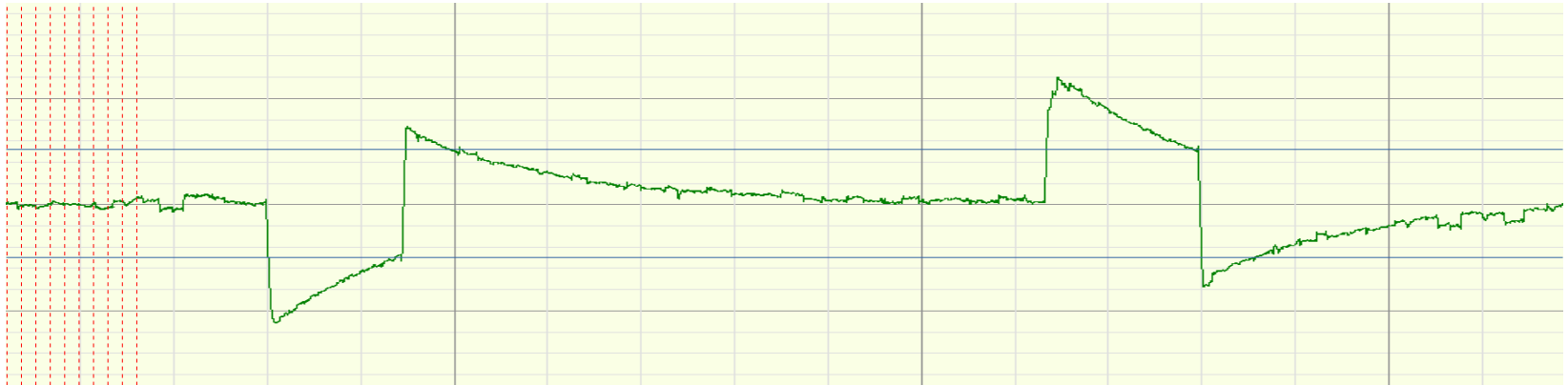
Diseño – Modo reloj

2) Diagrama de estados

q0 – Estado base

R,L/FF,RW

q₀

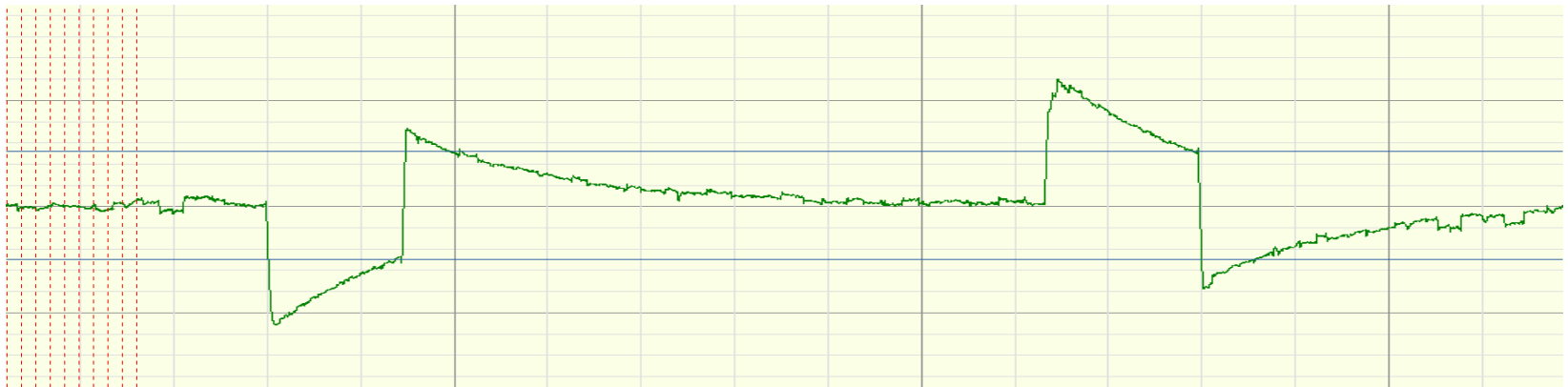
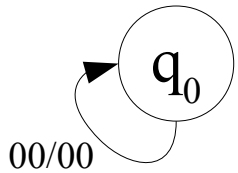


Diseño – Modo reloj

2) Diagrama de estados

q0 – Estado base
entradas: 00 – salidas: 00

R,L/FF,RW



Diseño – Modo reloj

2) Diagrama de estados

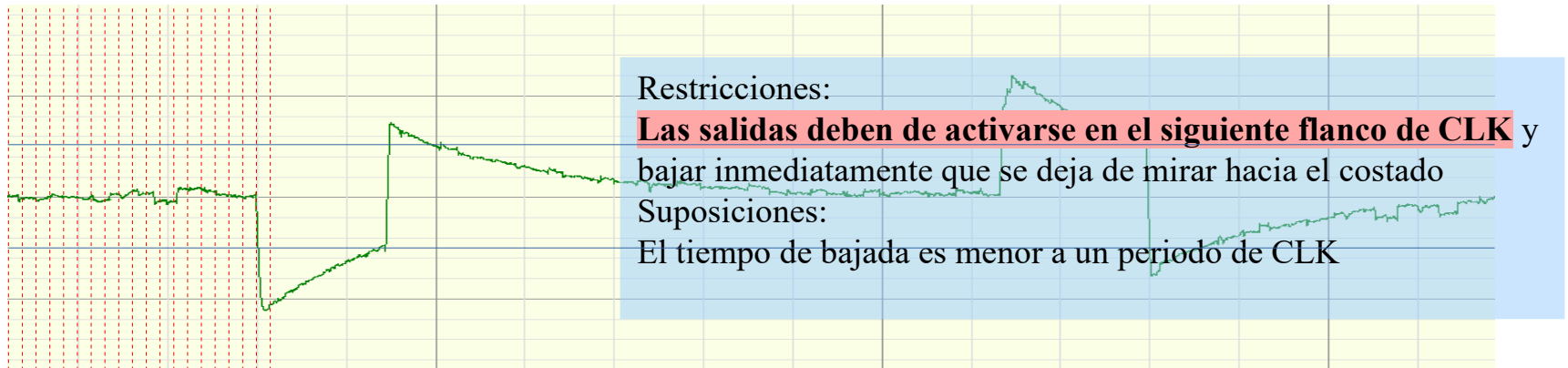
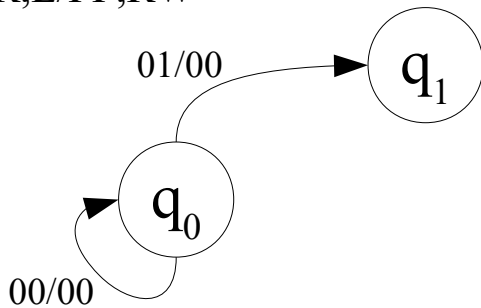
q0 – Estado base

entradas: 00 – salidas: 00

entradas: 01 – salidas: 00

q1 – Izquierda

R,L/FF,RW



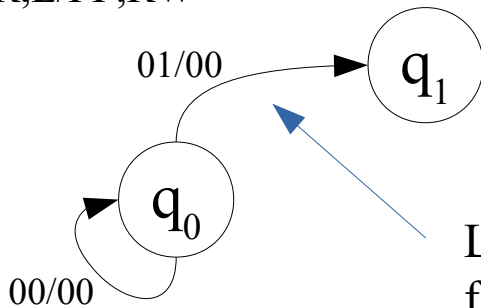
Diseño – Modo reloj

2) Diagrama de estados

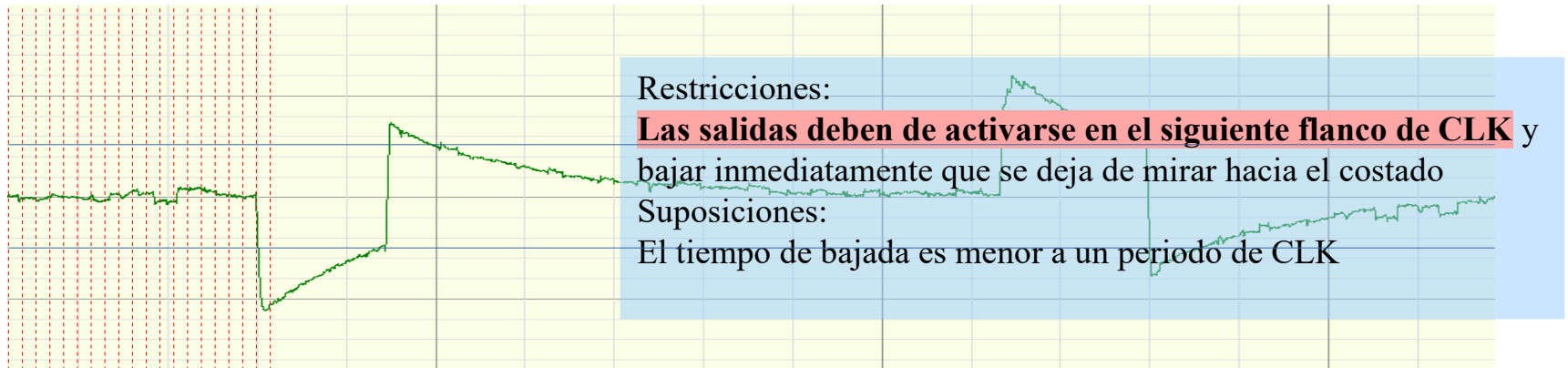
q0 – Estado base
entradas: 00 – salidas: 00
entradas: 01 – salidas: 00

q1 – Izquierda

R,L/FF,RW



Las transiciones se efectuan en el siguiente flanco (como en el juego de las silla)



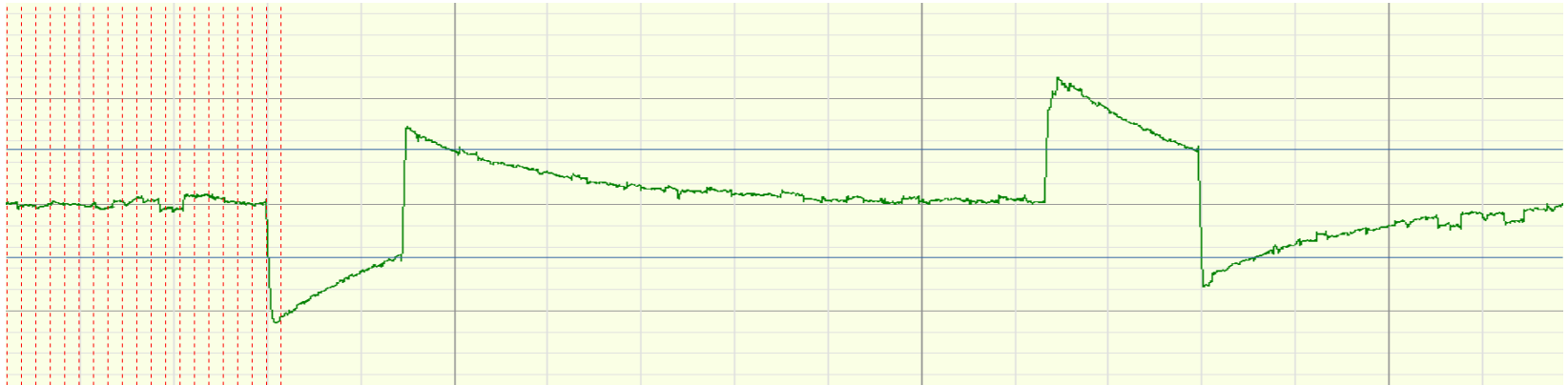
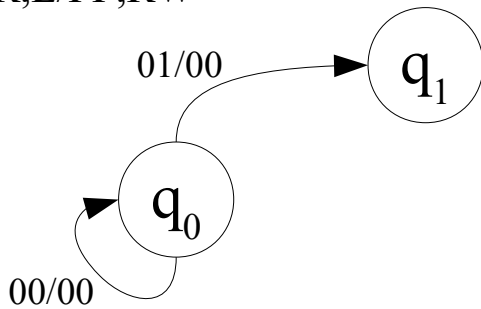
Diseño – Modo reloj

2) Diagrama de estados

q0 – Estado base
entradas: 00 – salidas: 00
entradas: 01 – salidas: 00

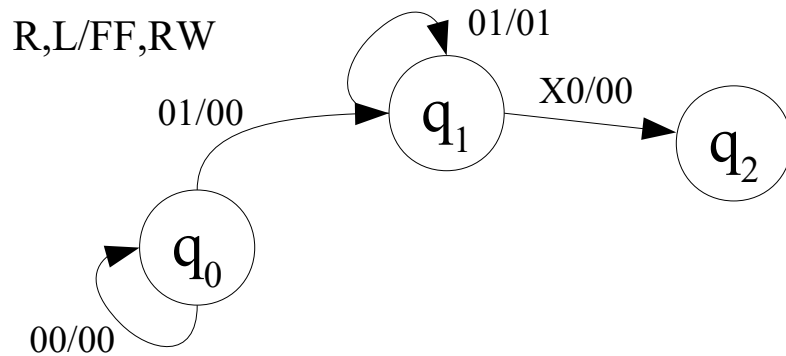
q1 – Izquierda

R,L/FF,RW



Diseño – Modo reloj

2) Diagrama de estados



q0 – Estado base

entradas: 00 – salidas: 00

entradas: 01 – salidas: 00

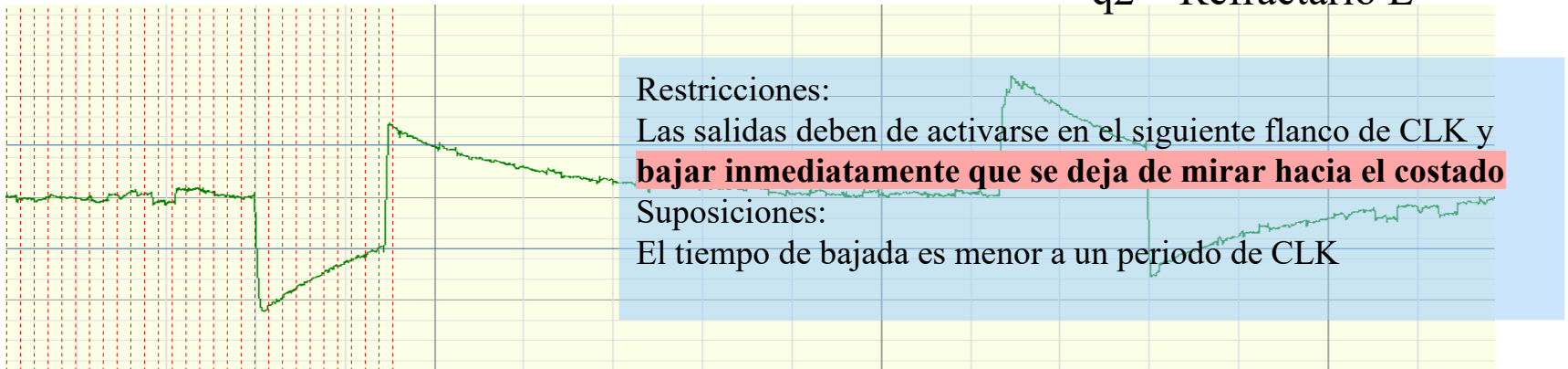
q1 – Izquierda

entradas: 01 – salidas: 01

entradas: 00 – salidas: 00

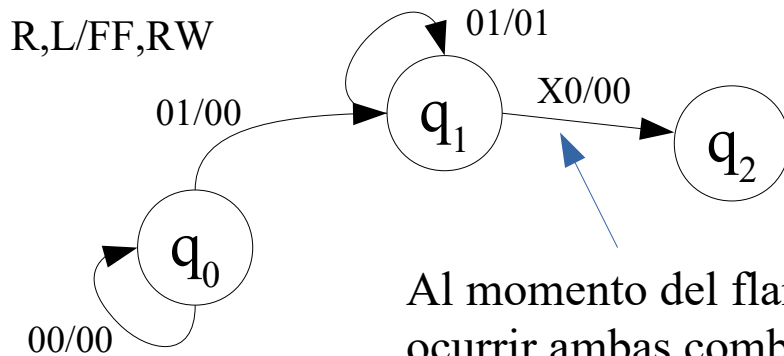
entradas: 10 – salidas: 00

q2 – Refractorio L



Diseño – Modo reloj

2) Diagrama de estados

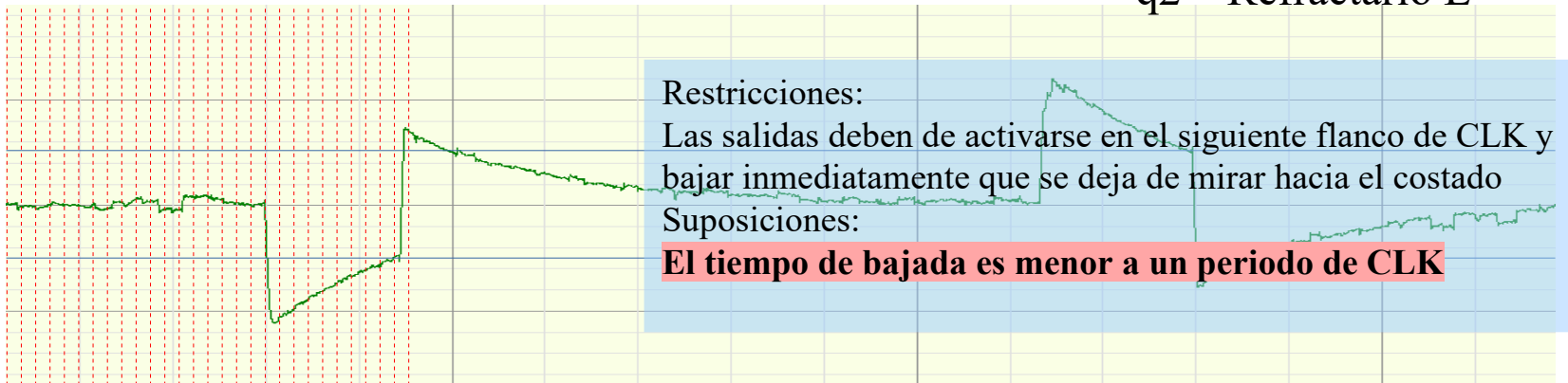


Al momento del flanco de CLK pueden ocurrir ambas combinaciones.
El don't care (X) indica que la transición ocurre indistintamente del valor de R

q0 – Estado base
entradas: 00 – salidas: 00
entradas: 01 – salidas: 00

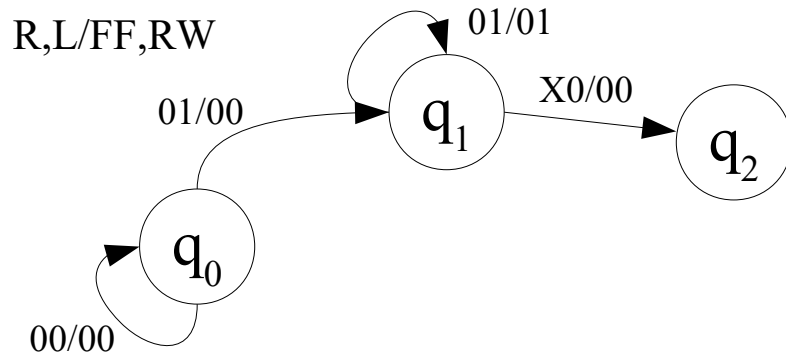
q1 – Izquierda
entradas: 01 – salidas: 01
entradas: 00 – salidas: 00
entradas: 10 – salidas: 00

q2 – Refractario L



Diseño – Modo reloj

2) Diagrama de estados



q0 – Estado base

entradas: 00 – salidas: 00

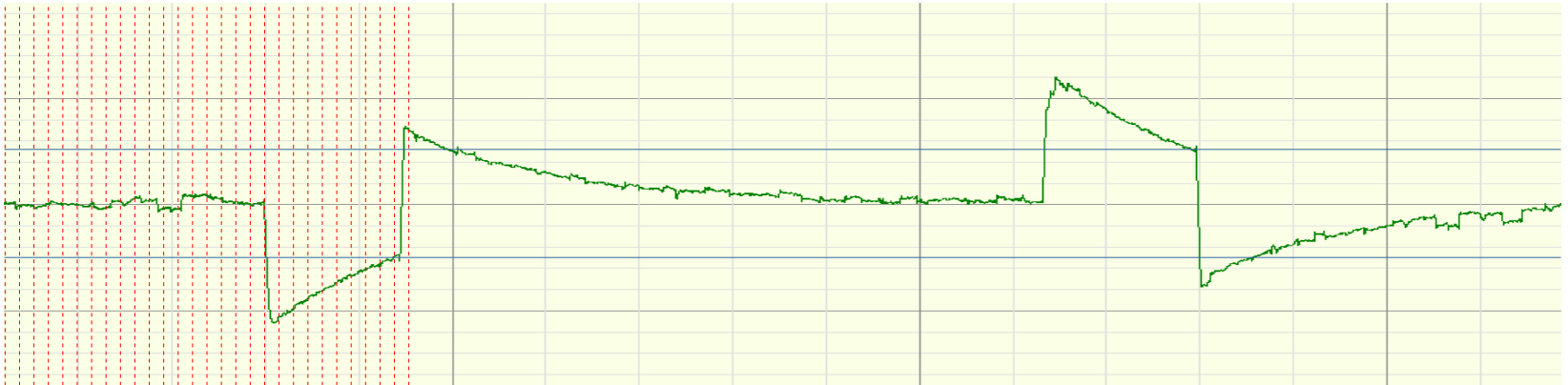
entradas: 01 – salidas: 00

q1 – Izquierda

entradas: 01 – salidas: 01

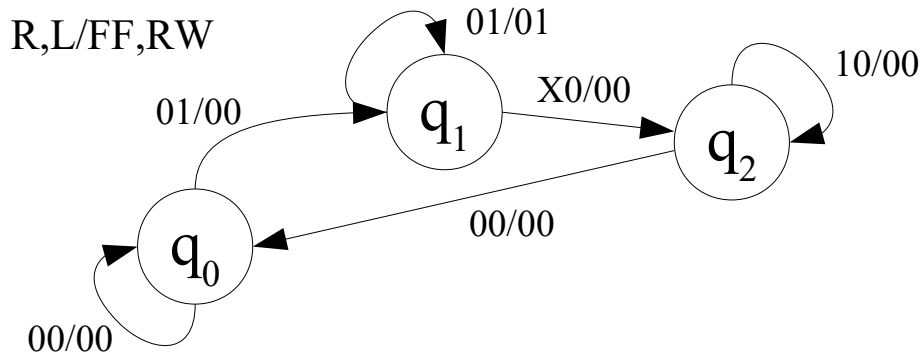
entradas: X0 – salidas: 00

q2 – Refractario L



Diseño – Modo reloj

2) Diagrama de estados



q0 – Estado base

entradas: 00 – salidas: 00

entradas: 01 – salidas: 00

q1 – Izquierda

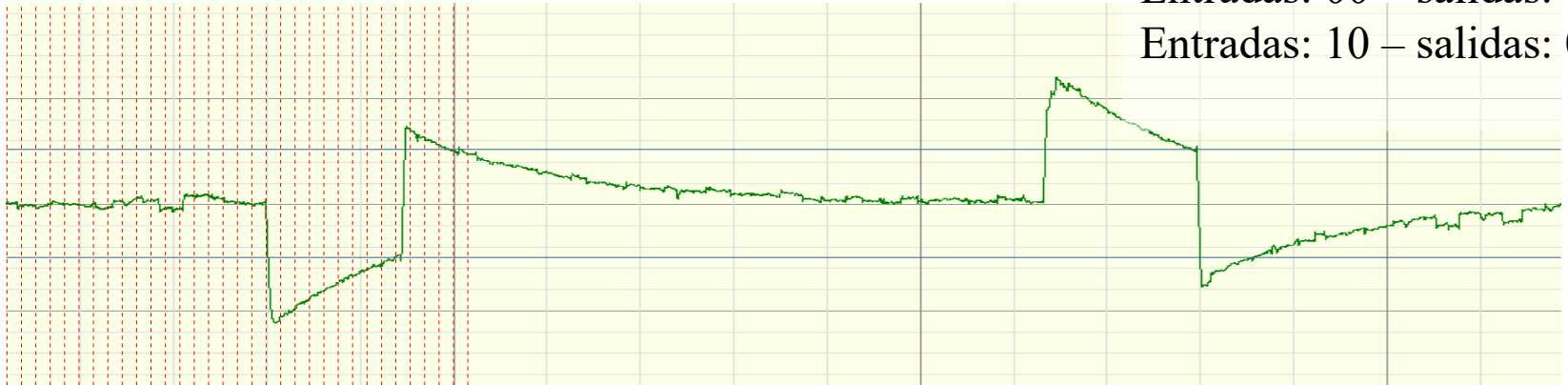
entradas: 01 – salidas: 01

entradas: X0 – salidas: 00

q2 – Refractorio L

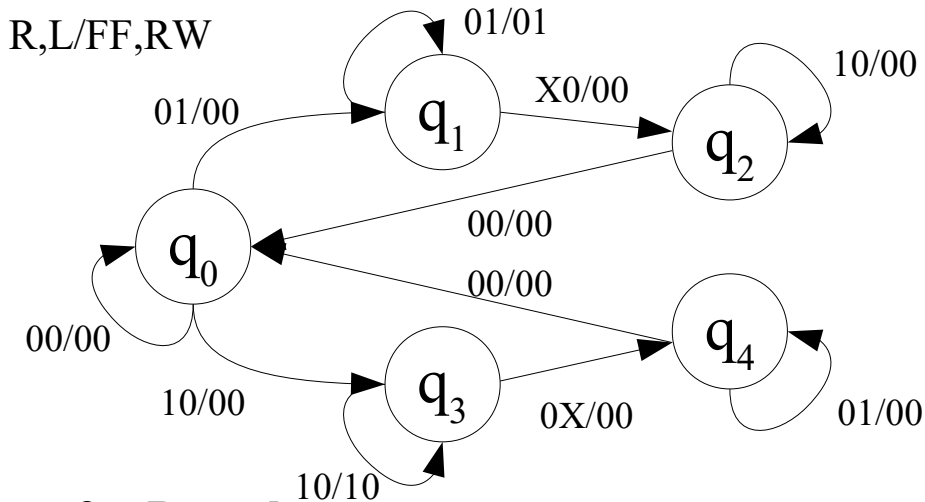
Entradas: 00 – salidas: 00

Entradas: 10 – salidas: 00



Diseño – Modo reloj

2) Diagrama de estados



q3 – Derecha

entradas: 10 – salidas: 10

entradas: 0X – salidas: 00

q4 – Refractario R

entradas: 00 – salidas: 00

entradas: 01 – salidas: 00

q0 – Estado base

entradas: 00 – salidas: 00

entradas: 01 – salidas: 00

entradas: 10 – salidas: 00

q1 – Izquierda

entradas: 01 – salidas: 01

entradas: X0 – salidas: 00

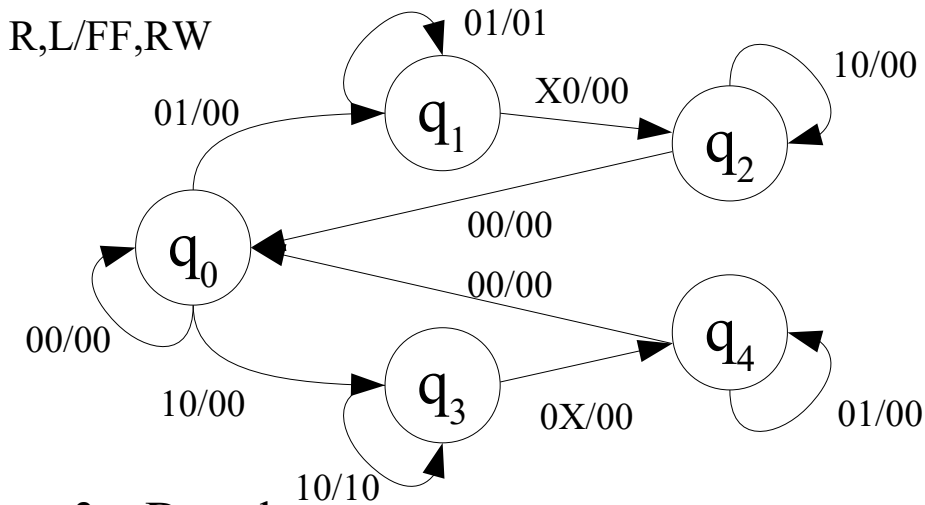
q2 – Refractario L

Entradas: 00 – salidas: 00

Entradas: 10 – salidas: 00

Diseño – Modo reloj

2) Diagrama de estados



q3 – Derecha

entradas: 10 – salidas: 10

entradas: 0X – salidas: 00

q4 – Refractario R

entradas: 00 – salidas: 00

entradas: 01 – salidas: 00

q0 – Estado base

entradas: 00 – salidas: 00

entradas: 01 – salidas: 00

entradas: 10 – salidas: 00

q1 – Izquierda

entradas: 01 – salidas: 01

entradas: X0 – salidas: 00

q2 – Refractario L

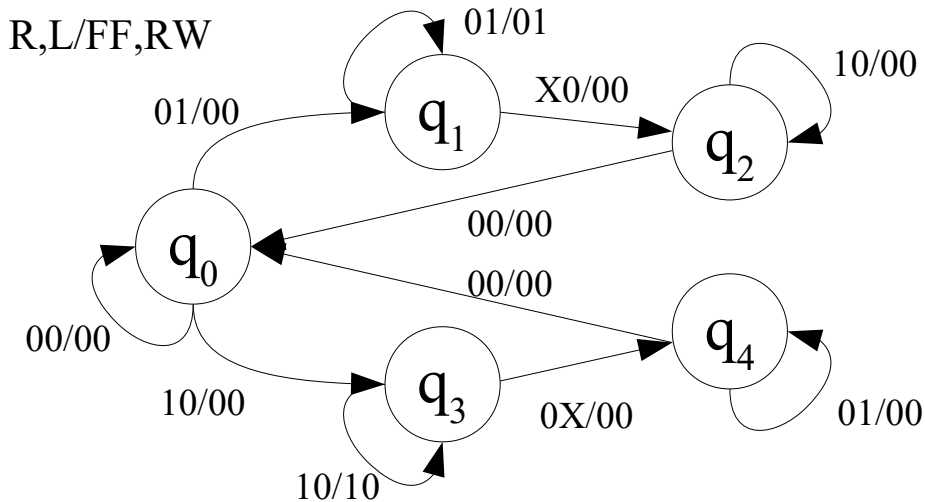
Entradas: 00 – salidas: 00

Entradas: 10 – salidas: 00

¡Nunca den por finalizado un diagrama sin verificar todas las combinaciones posibles!

Diseño – Modo reloj

2) Diagrama de estados



q3 – Derecha

entradas: 10 – salidas: 10
entradas: 0X – salidas: 00

entradas: 11 – salidas:

q4 – Refractario R

entradas: 00 – salidas: 00
entradas: 01 – salidas: 00

entradas: 1X – salidas:

q0 – Estado base

entradas: 00 – salidas: 00

entradas: 01 – salidas: 00

entradas: 10 – salidas: 00

entradas: 11 – salidas:

q1 – Izquierda

entradas: 01 – salidas: 01

entradas: X0 – salidas: 00

entradas: 11 – salidas:

q2 – Refractario L

Entradas: 00 – salidas: 00

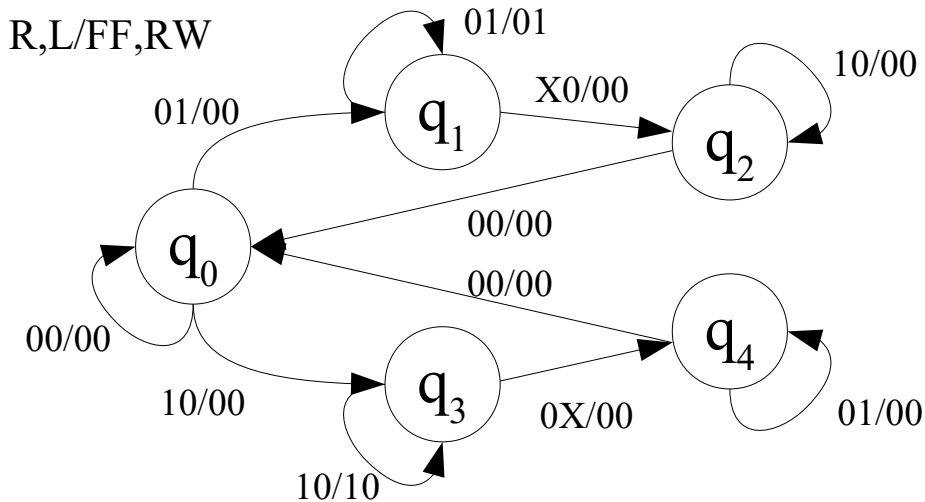
Entradas: 10 – salidas: 00

entradas: X1 – salidas:

¿Qué pasa con la combinación
11?

Diseño – Modo reloj

2) Diagrama de estados



q3 – Derecha

entradas: 10 – salidas: 10

entradas: 0X – salidas: 00

entradas: 11 – salidas:XX

q4 – Refractario R

entradas: 00 – salidas: 00

entradas: 01 – salidas: 00

entradas: 1X – salidas:XX

q0 – Estado base

entradas: 00 – salidas: 00

entradas: 01 – salidas: 00

entradas: 10 – salidas:00

entradas: 11 – salidas:XX

q1 – Izquierda

entradas: 01 – salidas: 01

entradas: X0 – salidas: 00

entradas: 11 – salidas:XX

q2 – Refractario L

Entradas: 00 – salidas: 00

Entradas: 10 – salidas: 00

entradas: 1X – salidas:XX

¿Qué pasa con la combinación
11?

R: Nunca se da!

Diseño – Modo reloj

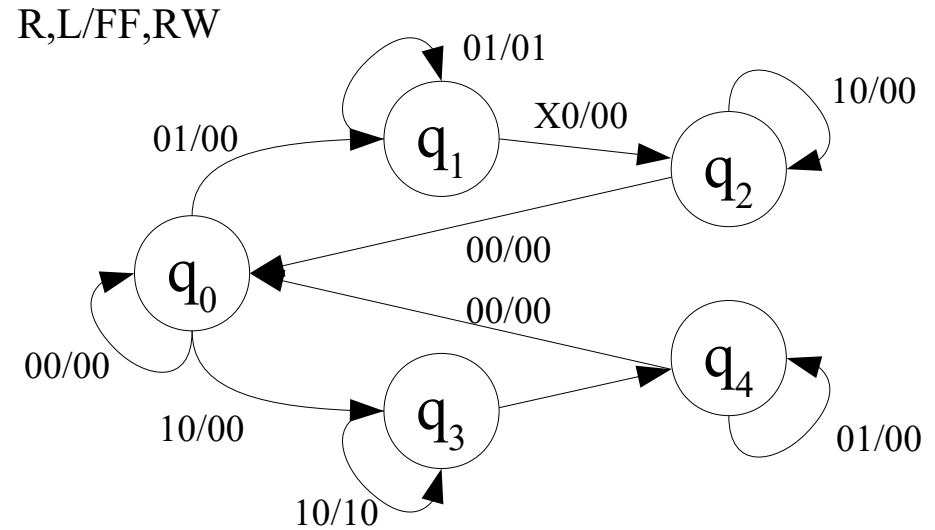
Receta de cocina sugerida

- 1) Identificación del problema
- 2) Diagrama de estados
- 3) Tabla de estados**
- 4) Minimización de estados
- 5) Codificación y tabla de verdad
- 6) Diseño del circuito de forma mínima

Diseño – Modo reloj

3) tabla de estados

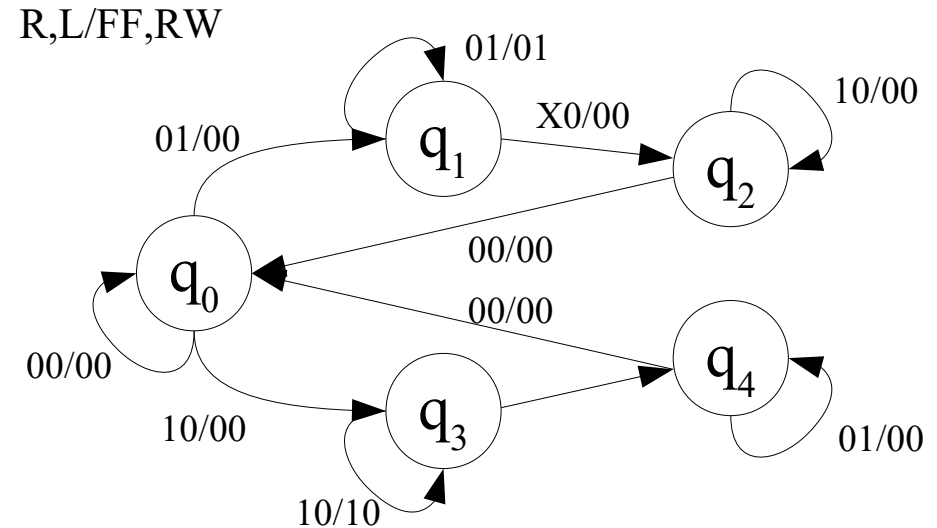
R/L q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx



Diseño – Modo reloj

3) tabla de estados

R/L q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx



Notar que en el estado refractario no va a ocurrir un nuevo pulso (en funcionamiento normal)

Diseño – Modo reloj

Receta de cocina sugerida

- 1) Identificación del problema
- 2) Diagrama de estados
- 3) Tabla de estados
- 4) **Minimización de estados**
- 5) Codificación y tabla de verdad
- 6) Diseño del circuito de forma mínima

Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

q_2 y q_4 pueden ser equivalentes (todavía no se puede afirmar)

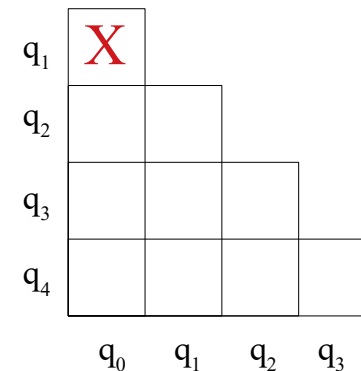
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



Diseño – Modo reloj

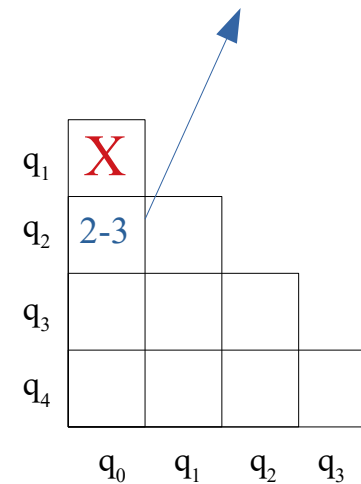
4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

q_0 y q_2 son equivalentes si q_2 y q_3 lo son

2 – Completar la escalera de equivalencias.



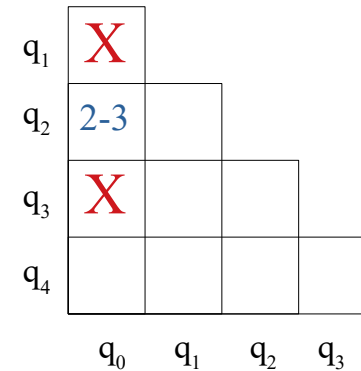
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



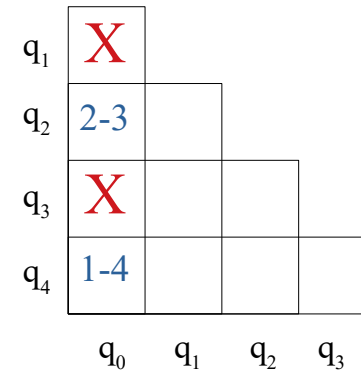
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



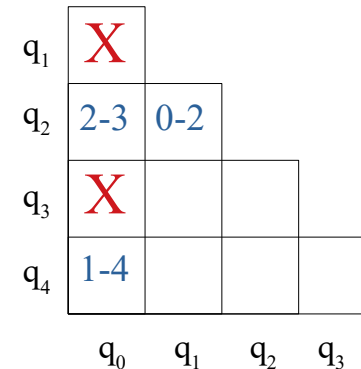
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



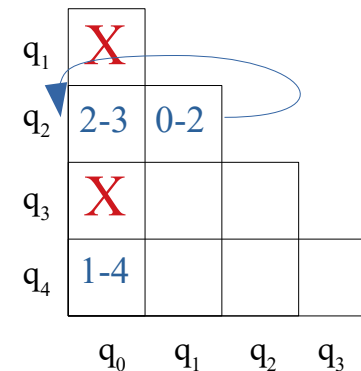
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



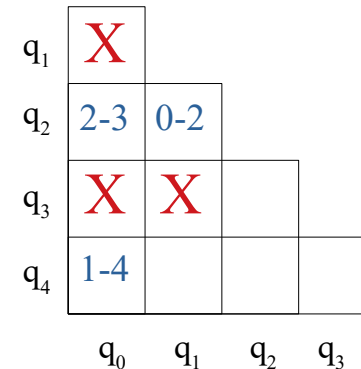
Diseño – Modo reloj

4) minimización de estados

IRL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



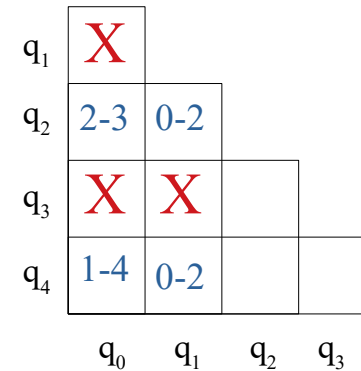
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



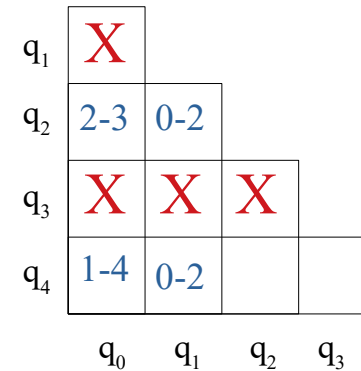
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



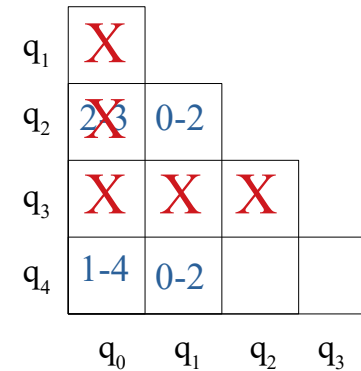
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



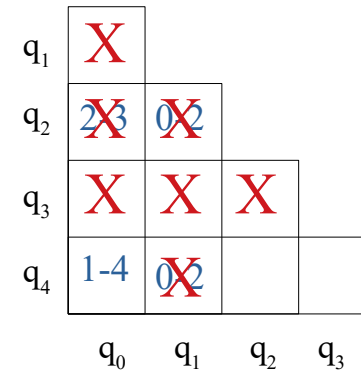
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



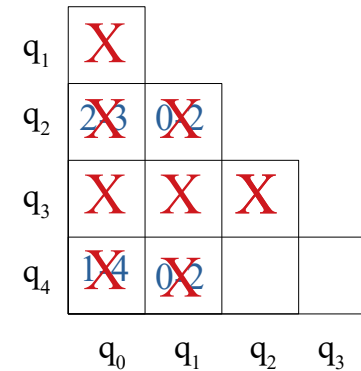
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



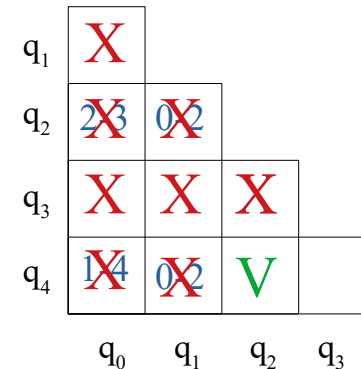
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



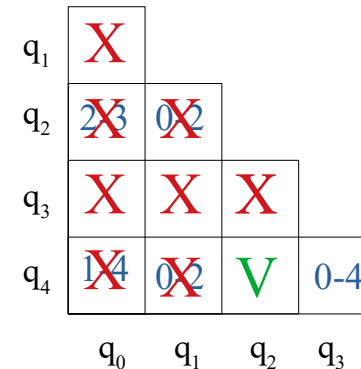
Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.



Diseño – Modo reloj

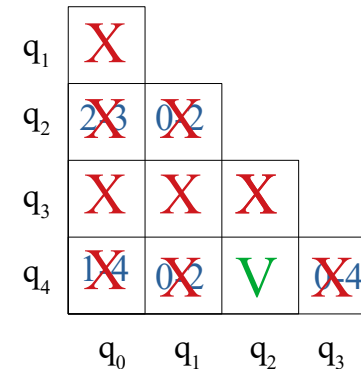
4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	X	X	q_2	00	xx	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	X	00	00	xx	xx

1 – Agrupar estados por equivalencia:
 Dos estados son equivalentes si su salida y próximo estado es igual para todas las combinaciones

2 – Completar la escalera de equivalencias.

Ahora sí, q_2 y q_4 pueden modificarse para que sean equivalentes

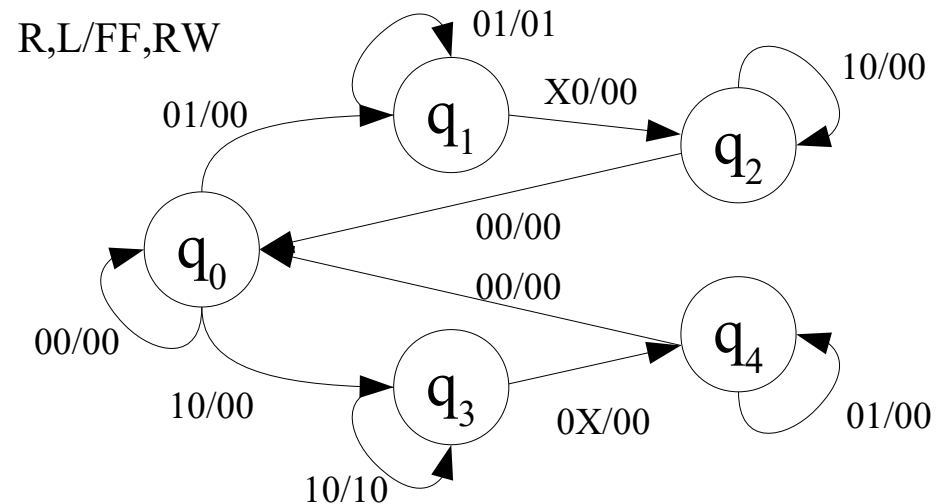


Diseño – Modo reloj

4) minimización de estados

\RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	q_4	X	q_2	00	00	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10
q_4	q_0	q_4	X	q_2	00	00	xx	00

1 – Eliminación de estados redundantes
Dejar solo un representante por clase de equivalencia

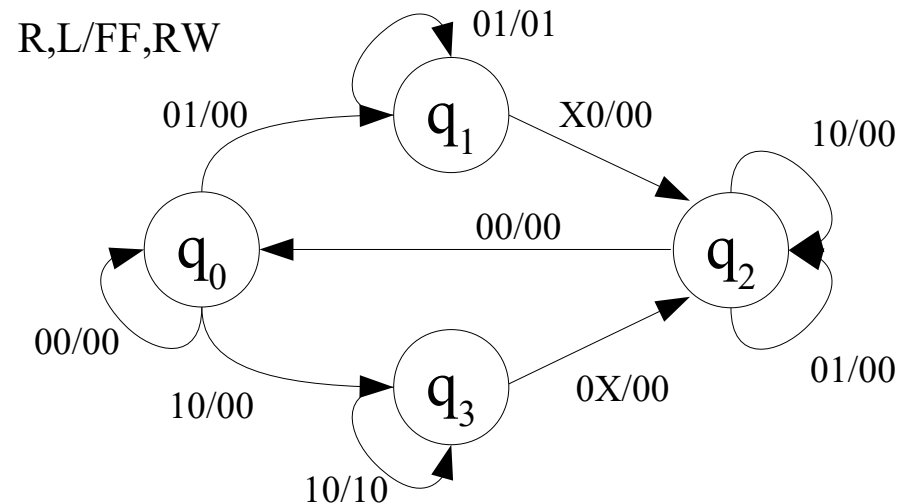


Diseño – Modo reloj

4) minimización de estados

RL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	q_2	X	q_2	00	00	xx	00
q_3	q_2	q_2	X	q_3	00	00	xx	10

1 – Eliminación de estados redundantes
Dejar solo un representante por clase de equivalencia



Diseño – Modo reloj

Receta de cocina sugerida

- 1) Identificación del problema
- 2) Diagrama de estados
- 3) Tabla de estados
- 4) Minimización de estados
- 5) Codificación y tabla de verdad**
- 6) Diseño del circuito de forma mínima

Diseño – Modo reloj

5) Codificación y tabla de verdad

VRL q_n	Siguiete estado (q_{n+1})				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
q_0	q_0	q_1	X	q_3	00	00	xx	00
q_1	q_2	q_1	X	q_2	00	01	xx	00
q_2	q_0	q_4	X	q_2	00	00	xx	00
q_3	q_4	q_4	X	q_3	00	00	xx	10

Codificación:

Q0 – 00

Q1 – 01

Q2 – 11

Q3 - 10

Diseño – Modo reloj

5) Codificación y tabla de verdad

RL Q _n Q ₀	Siguiete estado (D ₁ D ₀)				Salidas (FF/RW)			
	00	01	11	10	00	01	11	10
00	00	01	xx	10	00	00	xx	00
01	11	01	xx	11	00	01	xx	00
11	00	11	xx	11	00	00	xx	00
10	11	11	xx	10	00	00	xx	10

Codificación:

Q0 – 00

Q1 – 01

Q2 – 11

Q3 - 10

Diseño – Modo reloj

Receta de cocina sugerida

- 1) Identificación del problema
- 2) Diagrama de estados
- 3) Tabla de estados
- 4) Minimización de estados
- 5) Codificación y tabla de verdad
- 6) **Diseño del circuito de forma mínima**

Diseño – Modo reloj

6) Diseño del circuito de forma mínima

D_1					D_0					FF					RW				
$\backslash RL$ $Q_n Q_0$	00	01	11	10	$\backslash RL$ $Q_n Q_0$	00	01	11	10	$\backslash RL$ $Q_n Q_0$	00	01	11	10	$\backslash RL$ $Q_n Q_0$	00	01	11	10
00	0	0	x	1	00	0	1	x	0	00	0	0	x	0	00	0	0	x	0
01	1	0	x	1	01	1	1	x	1	01	0	0	x	0	01	0	1	x	0
11	0	1	x	1	11	0	1	x	1	11	0	0	x	0	11	0	0	x	0
10	1	1	x	1	10	1	1	x	0	10	0	0	x	1	10	0	0	x	0

Diseño – Modo reloj

6) Diseño del circuito de forma mínima

D_1					D_0					FF					RW				
$\backslash RL$ $Q_n Q_0$	00	01	11	10	$\backslash RL$ $Q_n Q_0$	00	01	11	10	$\backslash RL$ $Q_n Q_0$	00	01	11	10	$\backslash RL$ $Q_n Q_0$	00	01	11	10
00	0	0	x	1	00	0	1	x	0	00	0	0	x	0	00	0	0	x	0
01	1	0	x	1	01	1	1	x	1	01	0	0	x	0	01	0	1	x	0
11	0	1	x	1	11	0	1	x	1	11	0	0	x	0	11	0	0	x	0
10	1	1	x	1	10	1	1	x	0	10	0	0	x	1	10	0	0	x	0

Diseño – Modo reloj

6) Diseño del circuito de forma mínima

		D ₁						D ₀						FF						RW									
IRL	Q ₁ Q ₀	00	01	11	10	IRL	Q ₁ Q ₀	00	01	11	10	IRL	Q ₁ Q ₀	00	01	11	10	IRL	Q ₁ Q ₀	00	01	11	10	IRL	Q ₁ Q ₀	00	01	11	10
00	00	0	0	x	1	00	00	0	1	x	0	00	00	0	0	x	0	00	00	0	0	x	0	00	00	0	0	x	0
01	01	1	0	x	1	01	01	1	1	x	1	01	01	0	0	x	0	01	01	0	1	x	0	01	01	0	1	x	0
11	11	0	1	x	1	11	11	0	1	x	1	11	11	0	0	x	0	11	11	0	0	x	0	11	11	0	0	x	0
10	10	1	1	x	1	10	10	1	1	x	0	10	10	0	0	x	1	10	10	0	0	x	0	10	10	0	0	x	0

$$D1 = R + Q1\overline{Q0} + Q1L + \overline{Q1}Q0\overline{L}$$

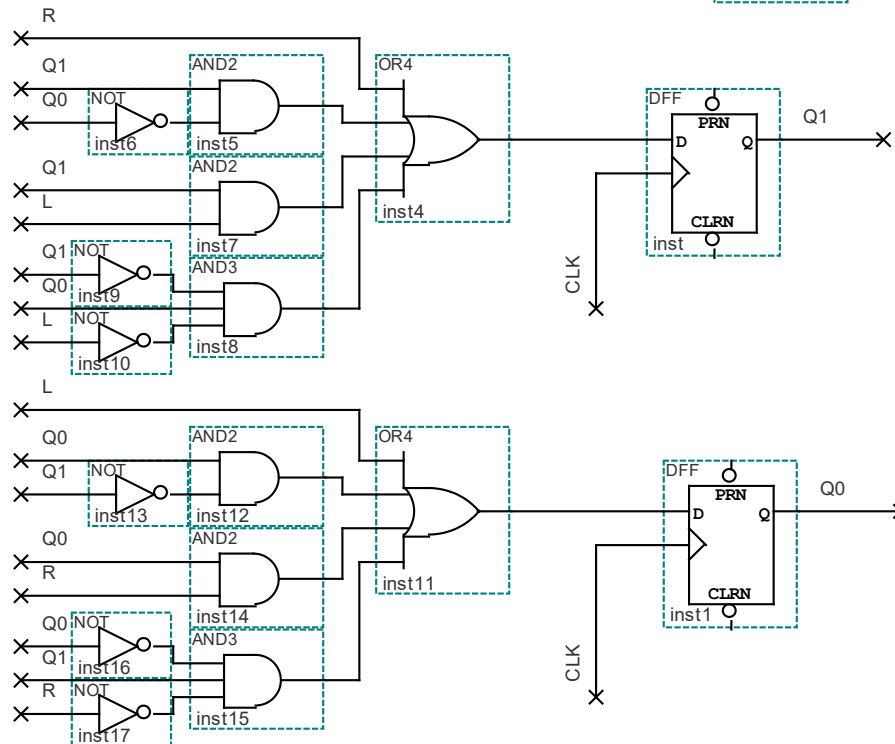
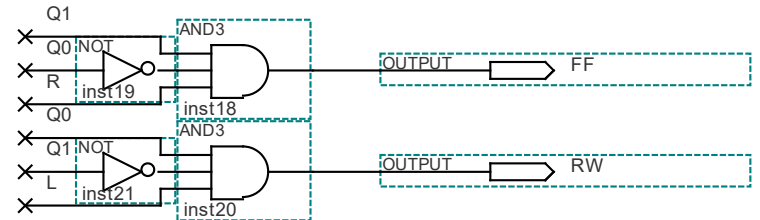
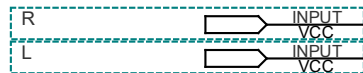
$$D0 = L + \overline{Q1}Q0 + Q0R + \overline{Q1}Q0R$$

$$FF = \overline{Q1}Q0R$$

$$RW = \overline{Q1}Q0L$$

Diseño – Modo reloj

6) Diseño del circuito de forma mínima



$$D1 = R + Q1\overline{Q0} + Q1L + \overline{Q1}Q0\overline{L}$$

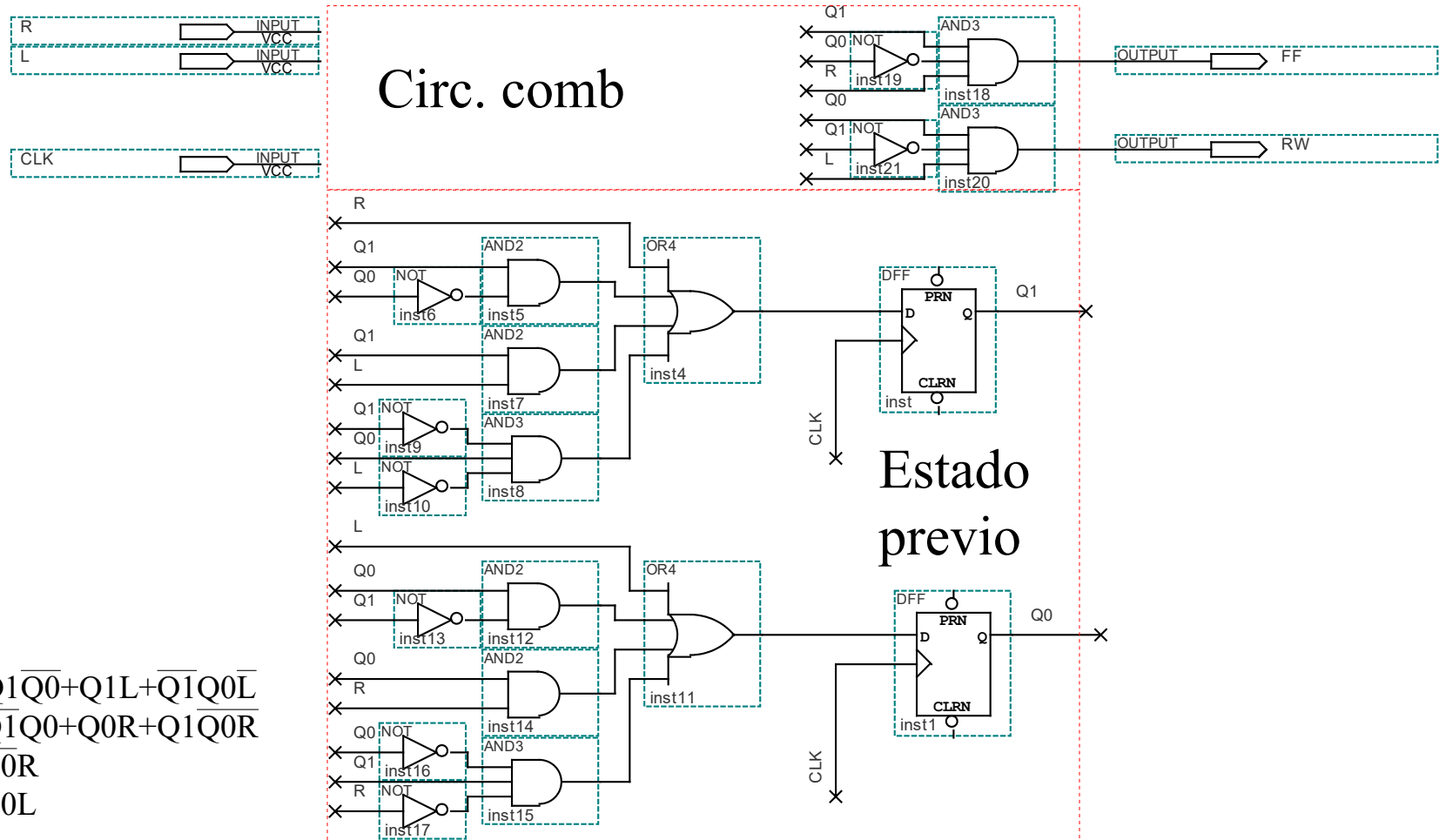
$$D0 = L + \overline{Q1}Q0 + Q0R + Q1Q0R$$

$$FF = Q1\overline{Q0}R$$

$$RW = \overline{Q1}Q0L$$

Diseño – Modo reloj

6) Diseño del circuito de forma mínima



Ejercicio

Realice el diseño del siguiente circuito según la tabla de verdad usando FF-D

A	B	C	Q_{n-1}	Q_n
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Ejercicio

Realice el diseño del siguiente circuito según la tabla de verdad usando FF-D

A	B	C	Q_{n-1}	Q_n
0	0	0	0	0
0	0	1	1	0
0	1	0	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Era broma, terminamos acá!